

WAVEFORM FORMING FILTER AND WAVEFORM FORMING HIGH-PASS FILTER

Patent Number: JP6037591

Publication date: 1994-02-10

Inventor(s): TSUNOISHI MITSUO; others: 03

Applicant(s): FUJITSU LTD

Requested Patent: JP6037591

Application Number: JP19920193969 19920721

Priority Number(s):

IPC Classification: H03H17/00 ; H03H15/00 ; H03H17/02 ; H04B3/14

EC Classification:

Equivalents:

Abstract

PURPOSE:To provide a filter circuit which requires less consumption power with small circuitry by specifying the transfer function in a transversal waveform forming filter.

CONSTITUTION:In a filter 50 forming the solitary wave response so as to control the digital sampling timing in the reception signal processing of a digital subscriber line interface, transfer function $H(z)$ expressed by (z) conversion is made $H(z)=1-az^{-1}$ ($a>1$). The transfer function corresponds to the processing adding the waveform multiplying the input signal by a factor $(-1/a)$ to the waveform sent by one cycle of the input signal and multiplying it by a factor $-a$ under consideration of time area by $1-az^{-1}=-a(-1/a+z^{-1})$. In short, the waveform whose polarity is reversed in the vicinity one cycle before the maximum value is formed. The filter represented by the transfer function is realized by the two-tap filter operating by the symbol frequency. The circuitry of the filter can be reduced and the consumption power can be reduced.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-37591

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 03 H 17/00	A 7037-5 J			
15/00		7037-5 J		
17/02	H 7037-5 J			
H 04 B 3/14		8226-5K		

審査請求 未請求 請求項の数5(全9頁)

(21)出願番号	特願平4-193969	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成4年(1992)7月21日	(72)発明者	角石 光夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	栗田 豊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	小泉 伸和 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 青木 朗 (外3名) 最終頁に続く

(54)【発明の名称】 波形成形フィルタおよび波形成形高域通過フィルタ

(57)【要約】

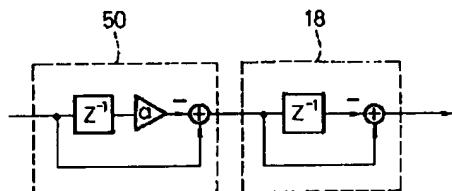
【目的】 デジタル加入者線インターフェース装置の受信部においてサンプリングタイミングの制御が可能のように孤立波レスポンスの波形を成形するためのフィルタに関し、回路規模が小さく、消費電力の少ないフィルタ回路を提供する。

【構成】 z 変換で表現した伝達関数 $H(z)$ が $H(z) = 1 - a z^{-1}$ 、ただし $a > 1$ である波形成形フィルタまたは

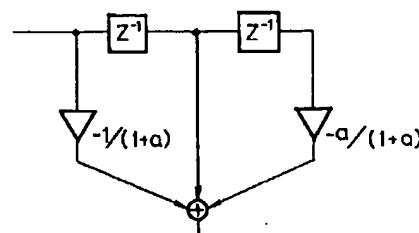
$$H(z) = -1 / (1 + a) + z^{-1} - a / (1 + a) \cdot z^{-2}$$

である波形成形高域通過フィルタを使用する。

(a)



(b)



【特許請求の範囲】

【請求項1】 少なくとも2値からなる多値レベル信号を所定のシンボル周期Tで伝送する伝送路の受信側に設けられた符号間干渉補償器の入力までの孤立波レスポンスの波形をその最大値よりT時間前の近傍において極性が反転するように成形するトランസバーサﾙ形波形成形フィルタであって、 z 変換で表現した伝達関数 $H(z)$ が $H(z) = 1 - a z^{-1}$ 、ただし $a > 1$ であることを特徴とする波形成形フィルタ。

【請求項2】 少なくとも2値からなる多値レベル信号を所定のシンボル周期Tで伝送する伝送路の受信側に設けられた符号間干渉補償器の入力までの孤立波レスポンスの波形をその最大値よりT時間前の近傍において極性が反転するように成形し、かつ、信号の高域成分のみを通過せしめるトラン斯バーサﾙ形波形成形高域通過フィルタであって、 z 変換で表現した伝達関数 $H(z)$ が $H(z) = -1 / (1 + a) + z^{-1} - a / (1 + a) \cdot z^{-2}$ 、ただし $a > 1$ であることを特徴とする波形成形高域通過フィルタ。

【請求項3】 トラン斯バーサﾙフィルタの全タップ係数が2の累乗値または2つの2の累乗値の和または差として表される請求項1または2記載のフィルタ。

【請求項4】 トラン斯バーサﾙフィルタの伝達関数 $H(z)$ が、

$$H(z) = -0.125 + z^{-1} - 0.875 z^{-2}$$

である請求項2記載の波形成形高域通過フィルタ。

【請求項5】 トラン斯バーサﾙフィルタの伝達関数 $H(z)$ が、

$$H(z) = -0.125 + 1.125 z^{-1} - z^{-2}$$

である請求項2記載の波形成形高域通過フィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、主として既存の電話加入者線であるメタリックのペアケーブルを用いて、高速のディジタルデータを送受双方に同時にまたは交互に伝送するディジタル加入者線インターフェース装置の受信信号の処理の中で用いられる波形成形フィルタおよび波形成形高域通過フィルタに関し、特に、データのサンプリングタイミングの制御が可能なように受信信号の波形を成形して孤立波レスポンスの波形を成形する波形成形フィルタおよびそれに高域通過フィルタの機能を組み込んだ波形成形高域通過フィルタに関する。

【0002】

【従来の技術】 ISDN等のディジタル通信網の普及を図るため、音声帯域信号の伝送に用いられている既存のメタリックのペアケーブルを用いて高速のディジタルデータを伝送するディジタル加入者線伝送方式が開発されている。この場合、加入者線間の距離の違いによる伝送損の変動、通過帯域の制限および既存の加入者線に存在する先端開放のブリッジタップ(BT)による反射等を

原因とする符号間干渉歪みに対処する必要がある。また、伝送方式としては、送信と受信を時分割で交互に行なういわゆるピンポン伝送方式と、ハイブリッド回路およびエコードキャンセラを使用して、送信と受信を同時に行なうエコードキャンセラ方式とが開発されている。

【0003】 図6はこのうちエコードキャンセラ方式が採用された従来のディジタル加入者線インターフェース装置の概略構成を表わすブロック図である。図6において、加入者線10を経て受信された受信信号は、2線-4線変換のためのハイブリッド12を経てオーバーサンプリングA/D変換器14でディジタル信号に変換され、波形成形フィルタ16、高域通過フィルタ18を経て、減算器20において送信データからエコードキャンセラ22で生成された擬似エコーを減算することにより、ハイブリッド回路12における送信信号の廻り込み分が除去され、AGC回路24において伝送路の減衰特性が補正され、判定帰還等化器(DFE)26において符号間干渉歪が除去されるとともに、例えば±1, ±3の4値が判定されて出力される。判定帰還等化器26で算出された係数の一部はタイミング制御部28のタイミング制御に使用される。オーバーサンプリングA/D変換器14としては、 $\Delta\Sigma$ 変換器27およびデシメーションフィルタ29継続接続が使用される。

【0004】 波形成形フィルタ16については後述する。高域通過フィルタ18はエコードキャンセラ22のタップ数を減らして回路を簡単にするために設けられている。ハイブリッド回路12からライン方向をみたインピーダンス特性は理想的でないため、ハイブリッド回路12において送信信号が受信側に廻り込んでエコーを発生する。このエコー成分の消去のためにエコードキャンセラ22が設けられるのであるが、その規模を表わす指標となるタップ数はエコーの孤立波レスポンスの持続時間によって決まる。ディジタル加入者線インターフェース装置にはハイブリッド回路12としてハイブリッドトランスまたはそれと類似の2線4線変換器が使用されるが、それらはカットオフ周波数が100Hz以下の高域通過フィルタと等価であるため、そのエコーの孤立波レスポンスは極めてゆっくりと減衰する波形となり、例えば80kHzのシンボル周波数に対して100~200タップを有する大規模なエコードキャンセラが必要である。そこで、もっと高いカットオフ周波数をもつ高域通過フィルタ18で低周波成分を除去することにより、エコーの減衰を早くし、エコードキャンセラのタップ数を20~30程度にすることが行なわれる。なお、この高域通過フィルタ18としては、図6に示されるように1サンプル周期離れたサンプル間の差をとるという、伝達関数 $(1 - z^{-1})$ を有する簡単なものが使用される。

【0005】 判定帰還等化器26は図7に示すような構成である。減算器30の出力を判定器32で判定して±1, ±3の判定結果として出力し、減算器34で判定の

前後の差をとって判定誤差とする。この判定誤差と判定結果を1シンボル分の遅延時間Tを有する複数の遅延器36の系統接続で遅延させた信号とから係数演算回路38で係数C₋₁, C₀, C₁, …C_nを演算し、そのうちC₁, …C_n(ポストカーソル値)を係数とする乗算器40で判定結果の遅延信号を乗算し、加算器42で加算して帰還信号とし、減算器30で入力信号から帰還信号を減算して判定器32の入力とする。係数演算回路38における係数の演算には、例えば周知のLMS(Least mean square)アルゴリズムが使用される。

【0006】係数演算回路38において係数C₋₁, C₀, C₁, …C_nが収束したとき、それらは、判定帰還等化器26の入力までの伝送路の孤立波レスポンスのサンプル値に相当する。これらのうちポストカーソル値C₁, …C_nを遅延信号に乗算して重ね合わせることにより、後方への符号間干渉歪波が生成され、減算器30でそれが除去されるのである。一方、係数C₋₁, C₀はそれぞれプリカーソル値、メインカーソル値と呼ばれ、それらの時刻はそれぞれプリカーソル、メインカーソルと呼ばれる。プリカーソル値C₋₁は、以下に述べるようにタイミング制御部28におけるタイミング制御に用いられる。

【0007】波形成形フィルタ16がないとき、判定帰還等化器26の入力までの伝送路の孤立波レスポンスは図8(a)の様である。そこで、波形成形フィルタ16を挿入することによって、図8(b)に示すようにプリカーソル付近すなわち、孤立波レスポンス振幅が最大となるメインカーソルから1サンプル前のプリカーソルにおいて負から正へ変化する特性にする。こうしておいて、判定帰還等化器26において算出されるプリカーソル値C₁が負ならサンプルタイミングを遅らせ、正なら進ませる制御がタイミング制御部28で行なわれ、この様にして制御されたクロックが動作クロックとして各ユニットで使用されるのである。

【0008】

【発明が解決しようとする課題】波形成形のために、従来は7~9タップ程度のトランスパーサルフィルタが使われ、前記のような波形成形を完全に行なうにはシンボル周波数で動作するのでなく、その2倍または3倍の周波数で動作する必要があると考えられていた。普通に考えれば、前記のような波形成形を完全に行なうには受信信号のシンボル周期毎の振幅を制御するだけでは限界があり、その中間点またはシンボル周期を3等分した点の振幅も制御する必要があると考えられるからである。

【0009】このため従来はA/D変換器14のデシメーションフィルタ29の出力の周波数もシンボル周波数の2倍または3倍である必要があった。ここでデシメーションフィルタ29は△Σ変換器27においてA/D変換出力の周波数の200倍近くという高周波数で1ビット量子化されたものの高域成分を除去することによって

多値化したデジタル値を得るためにフィルタであり、それ自体もA/D変換出力の周波数の200倍近くの周波数で動作する必要があり、その規模も約300タップという大規模なトランスパーサルフィルタであるため、専用のハードウェアで構成されていた。一般にデジタルトランスパーサルフィルタのハードウェア規模は入力データの周波数と出力データの周波数とタップ数の積と強い相関があり、積が大きくなると規模も大きくなる。従ってデシメーションフィルタ29の出力データの繰り返し周波数がシンボル周波数の2倍または3倍でなければならないということはデシメーションフィルタの規模縮小を図るのを難しくしていた。またデシメーションフィルタの出力データの繰り返し周波数が大きいことはフィルタを高速で動作させることであり、ハードウェアの多重使用が困難になり、その実質的な回路規模が増大するばかりでなく、消費電力も増大するという問題にも繋がる。

【0010】また従来では、デシメーションフィルタ29自身に波形成形機能を持たせることも行なわれていた。デシメーションフィルタに波形成形機能をもたせるとそのフィルタ規模は大きくなり、少なくとも600タップ程度のトランスパーサルフィルタになるが、出力周期は図6の従来例とは異なり、シンボル周波数で済むために回路の多重使用を考慮した実際のハードウェアの大きさは図6の従来例のデシメーションフィルタと同一で済む。この結果、図6の例の場合必要であった波形成形フィルタ16が不要になり、回路規模がその分小さくなる。しかしこの場合にはデシメーションフィルタのタップ係数が複雑な数字になり、タップ係数をランダムロジックを使って発生することが難しくなり、タップ係数を格納するためのROMが必要になる。ROMを使うとその消費電力はランダムロジックを使う場合に比べて、かなり大きくなり、トータルとして期待したほどの回路規模の縮小、低消費電力化の効果が得られないという問題があった。

【0011】したがって本発明の第1の目的は、上記の問題を克服して、回路規模が小さく、消費電力も少ないデジタル加入者線インターフェース装置のフィルタ回路を提供することにある。本発明の第2の目的は上記の波形成形機能とともにエコーキャンセラのタップ数削減のための高域通過機能を有する波形成形高域通過フィルタを提供することにある。

【0012】

【課題を解決するための手段】前述の目的を達成する本発明の波形成形フィルタは、少なくとも2値からなる多値レベル信号を所定のシンボル周期Tで伝送する伝送路の受信側に設けられた符号間干渉補償器の入力までの孤立波レスポンスの波形をその最大値よりT時間前の近傍において極性が反転するように成形するトランスパーサル形波形成形フィルタであって、z変換で表現した伝達

関数 $H(z)$ が

$$H(z) = 1 - az^{-1}, \text{ ただし } a > 1$$

であることを特徴とするものである。

【0013】また、本発明の波形成形高域通過フィルタは、少なくとも2値からなる多値レベル信号を所定のシンボル周期Tで伝送する伝送路の受信側に設けられた符号間干渉補償器の入力までの孤立波レスポンスの波形をその最大値よりT時間前の近傍において極性が反転するように成形し、かつ、信号の高域成分のみを通過せしめるトランスパーサル形波形成形高域通過フィルタであつて、z変換で表現した伝達関数 $H(z)$ が $H(z) = -1/(1+a) + z^{-1} - a/(1+a) \cdot z^{-2}$ 、ただし $a > 1$ であることを特徴とするものである。

【0014】

【作用】伝達関数 $H(z)$ が $1 - az^{-1}$ であるということは、 $1 - az^{-1} = -a(-1/a + z^{-1})$ より、時間域で考えると、上記伝達関数は入力信号を $(-1/a)$ 倍した波形を入力信号を信号の1周期Tだけ後に遅らせた波形に加え $(-a)$ 倍する処理に相当する。すなわち、成形前の孤立波レスポンスが図1(a)に実線で示すような波形であるとすると、その $(-1/a)$ 倍した*

$$H(z) = -1/(1+a) + z^{-1} - a/(1+a) \cdot z^{-2}$$

となり、この伝達関数を有するフィルタは前述の波形成形機能と高域通過機能を併せ持つ3タップのトランスパーサルフィルタとなる。

【0016】

【実施例】図2は本発明の一実施例である波形成形フィルタ50が使用されたエコーキャンセラ方式のデジタル加入者線インターフェース装置のブロック線図である。波形成形フィルタ50として伝達関数

$$H(z) = 1 - az^{-1}, \text{ ただし } a > 1 \cdots (1)$$

のものが使用されている点を除けば図6と同一である。

【0017】 a の値としては、前述のように、 a の値が1に近いと極性が反転する位置のずれが大きくなり、また、ポストカーソル値 $C_1, C_2 \dots C_n$ がメインカーソル値 C_0 の $1/2$ 以上となって判定帰還等化器26における等化が困難になる。また、 a が大き過ぎると $1/a$ の値が小さくなるので極性反転効果が小さくなり、波形成形前のプリカーソル値 C_{-1} (図8(a)参照) が大きい伝送路では極性反転が得られなくなりタイミング抽出ができなくなる。したがって、適用される伝送路の特性に応じて、1よりも充分に大きく、かつ、プリカーソル付近での符号反転が生じる値を適宜選択する。例えば、米国標準規格にある16通りの伝送路の状態について、※

$$H(z^{-1}) = -1/(1+a) + z^{-1} - a(1+a)z^{-2} \cdots (3)$$

となる。これをブロック線図で表わすと、図3(b)のように3タップのトランスパーサルフィルタの構成となる。

【0020】(3)式の a の値として3, 7, 15…のように $(1+a)$ が4, 8, 16と2の累乗数になるよ

*波形は図1(a)に破線で示すような波形となり、両者を合成すると、図1(b)のようになり、最大値より1周期前の近傍において極性が反転するような波形に成形される。なお、 $(-1/a)$ 倍については全体のゲインが変わるもので孤立波レスポンスの波形への影響はない。また、極性が反転する点は1周期前よりも多少最大値側 (メインカーソル側) へ寄ることになり、 a が1に近い程それが著しいが、 a の値を1よりも充分に大きい値にとればそのずれは小さく、この点を基準としてサンプルタイミングを制御しても、波形等化および値の判別の処理には支障はない。

【0015】上記の伝達関数で表わされるフィルタはシンボル周波数で動く2タップのフィルタで実現することができ、従来方式と較べて著しく簡略化することができる。また、前述のように波形成形フィルタの後段に設けられる高域通過フィルタは $1 - z^{-1}$ の伝達関数を有している。したがってこれとの合成関数 $H(z)$ は

$$\begin{aligned} H(z) &= (1 - az^{-1})(1 - z^{-1}) \\ &= 1 - (1+a)z^{-1} + az^{-2} \end{aligned}$$

20 となり、 $H(z) \times (-1/(1+a))$ を改めて $H(z)$ とおくと、

※自装置のハイブリッドトランジスタ2、デシメーションフィルタ29等の特性を含めた計算機シミュレーションを行って16通りの孤立波レスポンスを計算し、全体としてタイミング抽出や判定帰還等化器26による等化が容易かどうかをみて適切な a の値を決定する。

【0018】前述したように、高域通過フィルタ18には伝達関数

$$30 \quad 1 - z^{-1} \cdots (2)$$

のものが使用されている。波形成形フィルタ50と高域通過フィルタ18とを図3(a)に表わすようにそれぞれ別なブロックとして、継続接続して用いても良いが、これらのフィルタは共にシンボル周波数で動作するトランスパーサルフィルタであるから、1つのフィルタとして動作させる方が効率的である。

【0019】合成関数をもつフィルタを波形成形高域通過フィルタと呼ぶこととすると、その伝達関数 $H(z^{-1})$ は次式で表わされる。

$$40 \quad H(z^{-1}) = (1 - az^{-1})(1 - z^{-1}) \\ = 1 - (1+a)z^{-1} + az^{-2}$$

定数を掛けることは全体のゲインを変えることに相当するのみであるから $-1/(1+a)$ を掛けたものを改めて $H(z^{-1})$ とおくと、

$$H(z^{-1}) = -1/(1+a) + z^{-1} - a(1+a)z^{-2} \cdots (3)$$

うに設定すれば、 $-1/(1+a)$ は2の累乗数となる。 $-a/(1+a) = 1 - 1/(1+a)$ であるから $-a/(1+a)$ も2の累乗数の差として表されるから、このフィルタの演算は加算器とシフターからなる数値演算ブロック (ALU) を使って数ステップで処理で

きる。

【0021】具体例として $a=7$ としたとき伝達関数は*

$$\begin{aligned} H(z^{-1}) &= -0.125 + z^{-1} - 0.875z^{-2} \dots (4) \\ &= -2^{-3} + z^{-1} + (2^{-3}-1)z^{-2} \dots (5) \end{aligned}$$

(4) の伝達関数をもつフィルタの出力での孤立波レスポンスの例を図4に示す。この図を見ると、信号のピークとなる時刻のほぼ1周期前の時刻に信号の振幅は負から正に変化しており、プリカーソル点での特性をタイミング制御に用いることができる事を示している。

【0022】 $a=7$ のとき、トランジスターアンプのタップ係数は(5)式のような2の累乗数の組み合わせで表わされるので、(4)式で表わされるフィルタの処理を図5に示すような2入力加算器52とシフタ54からなるALU(演算ユニット)56を使用して行なう場合、次の4ステップの処理で終了する。

① 最新の入力データの極性を反転して3ビット右シフトして零に加算する。

【0023】② 上記の加算結果に1周期前の入力データを加算する。

③ 上記の加算結果に2周期前の入力データを反転して
加算する。
※

$$\begin{aligned} H(z^{-1}) &= -0.1875 + z^{-1} - 0.8125z^{-2} \\ &= -(0.125 + 0.0625) + z^{-1} - (1 - 0.125 - 0.0625)z^{-2} \dots (6) \end{aligned}$$

等を用いることも多少処理数が増えることを許せば可能である。(3)式に於いて $a=8$ としたとき、伝達関数★ 【0026】

$$\begin{aligned} H(z^{-1}) &= -1/9 + z^{-1} - 8/9z^{-2} \\ &= -1 + 9z^{-1} - 8z^{-2} \end{aligned}$$

$$H(z^{-1}) = -0.125 + 1.125z^{-1} - z^{-2} \dots (7)$$

(7)式も演算処理量が(4)式と同じである波形成形高域通過フィルタであることは明らかである。

【0027】なお、ポストカーソルにおける孤立波レスポンスの振幅はメインカーソルの1/2以下の振幅であることが望ましく、そうなるように a の値を大きくとる必要がある。しかし伝送路によっては、極性反転のために1に近い a の値を使わざるを得ず、そのためポストカーソルの値がメインカーソルの1/2以上になるような場合がある。このときはさらに伝達関数

$$1 - (1/a)z^{-1}$$

を有するフィルタを継続接続すれば、ポストカーソルの値を確実に1/2以下にすることができる。

【0028】

【発明の効果】本発明をデジタル加入者線伝送インターフェース装置に適用することにより、デシメーションフィルタの出力周期がシンボル周波数でよくなるので、デシメーションフィルタの回路規模を縮小することができる。また、デシメーションフィルタに波形成形機能を持たせる必要がないので、デシメーションフィルタのタップ係数の発生回路を簡単なランダムロジックを使って構成することができ、ROMを使って係数を発生す

*次式となる。

※④ 上記の加算結果に2周期前の入力データを3bit右シフトして加算する。

なお、上記の処理において①、②の処理の代わりに「1周期前の入力データに、最新の入力データを反転して3bit右シフトして加算する」を用いてよい。

10 【0024】図5に示したALU56は、設定されたシフト数に応じてレジスタAに設定された値をシフタ54にてシフトし、レジスタBに設定された値を加算器52で加算して出力レジスタ62へ出力するもので、エコーキャンセラ22等の他の処理においても共用される。他の処理の都合上、ALUとしてさらに複雑な3入力加算器を使わざるを得ないときには、-0.875の掛け算は1回の処理で可能になることは明らかであり、(3)式の a の値として例えば4.3333としたフィルタ関数である。

20 【0025】

※

★は次式となる。

【0026】

30 (7)式も演算処理量が(4)式と同じである波形成形高域通過フィルタであることは明らかである。
る場合にくらべて消費電力を大幅に減らすことが可能になる。

【図面の簡単な説明】

【図1】本発明の作用を説明するための図である。

【図2】本発明の一実施例である波形成形フィルタが使用されたデジタル加入者線インターフェース装置のブロック図である。

【図3】本発明の波形成形フィルタおよび波形成形高域通過フィルタの構成を表わすブロック線図である。

40 【図4】(4)式の伝達関数をもつフィルタの出力における孤立波レスポンスの一例を表わす図である。

【図5】本発明のフィルタの演算において使用されるALUの構成を表わす図である。

【図6】従来のデジタル加入者線インターフェース装置を表わす図である。

【図7】判定帰還等化器の構成を表わすブロック線図である。

【図8】波形成形を説明するための図である。

【符号の説明】

12…ハイブリッド

50 14…オーバーサンプリングA/D変換器

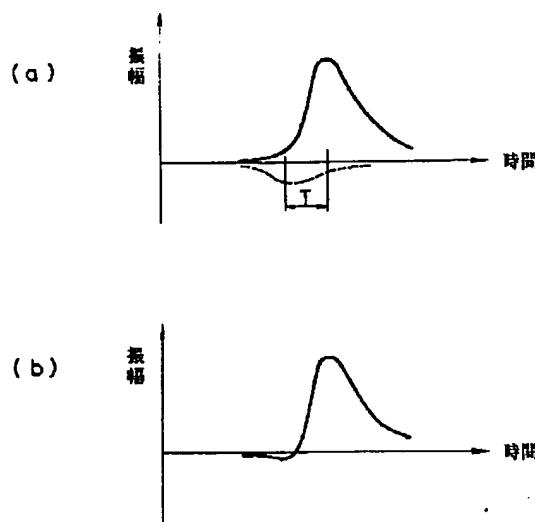
9

10

16, 50 … 波形成形フィルタ
18 … 高域通過フィルタ

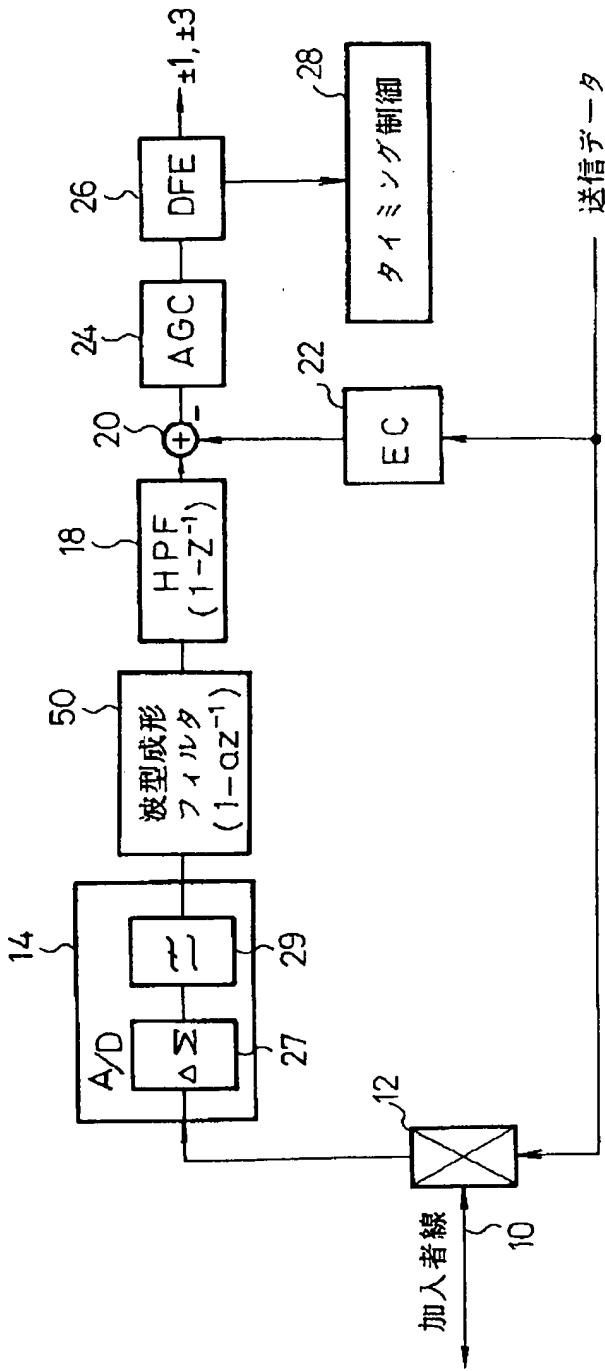
22 … エコーチャンセラ
26 … 判定帰還等化器

【図1】

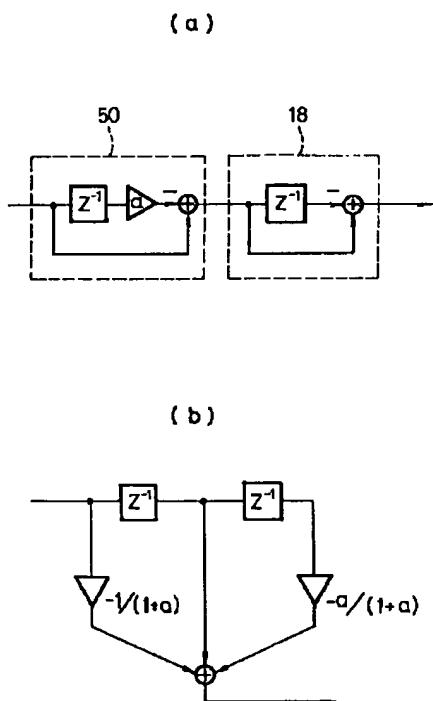


【図2】

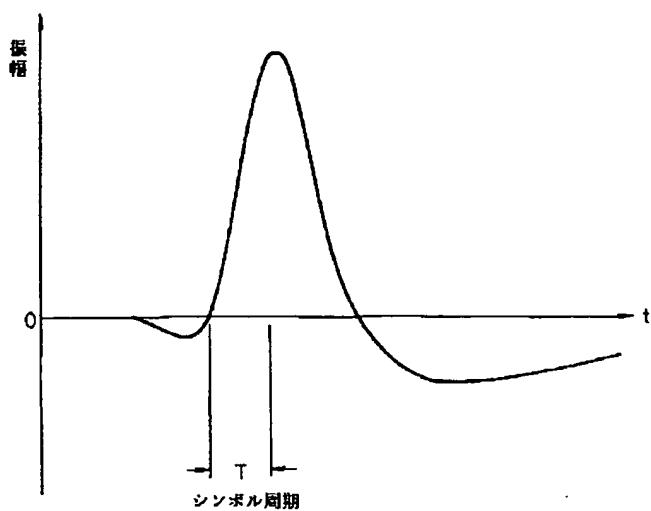
実施例



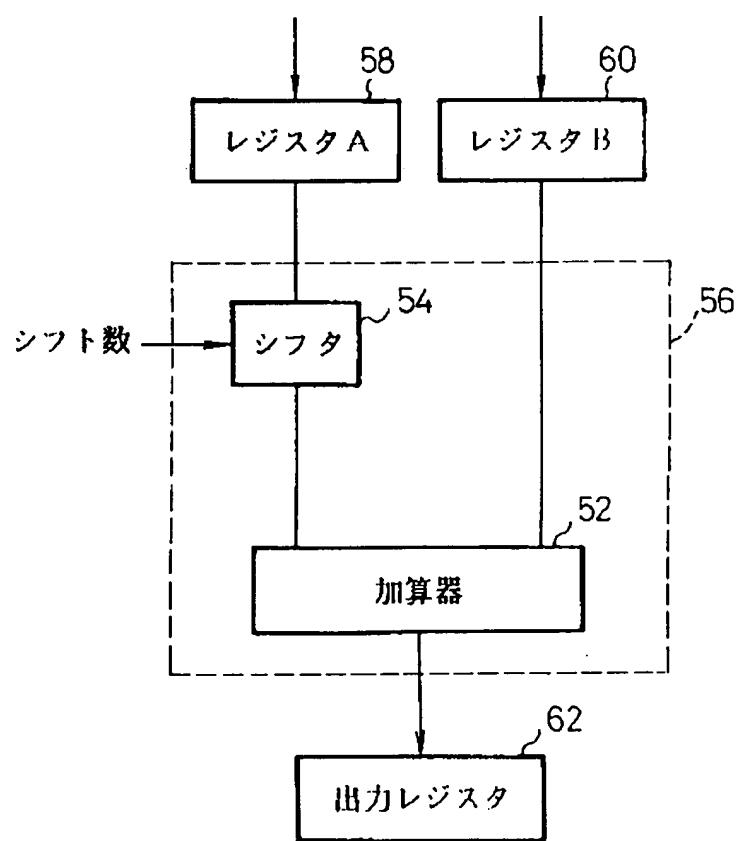
【図3】



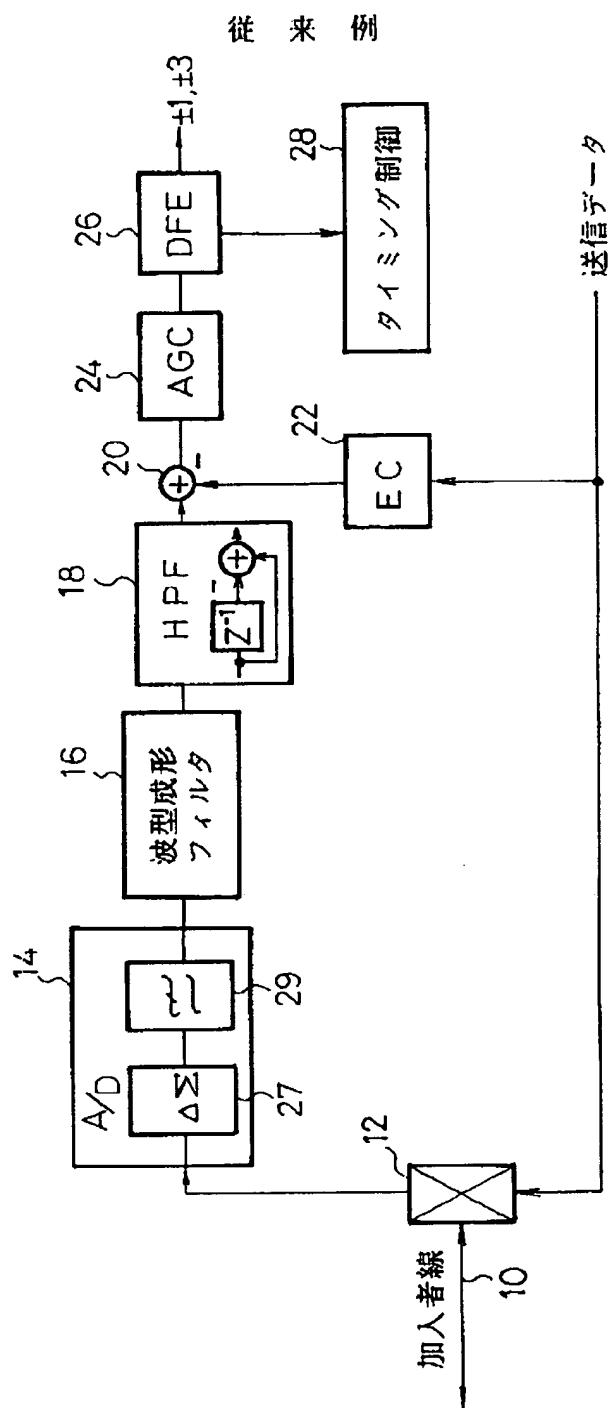
【図4】



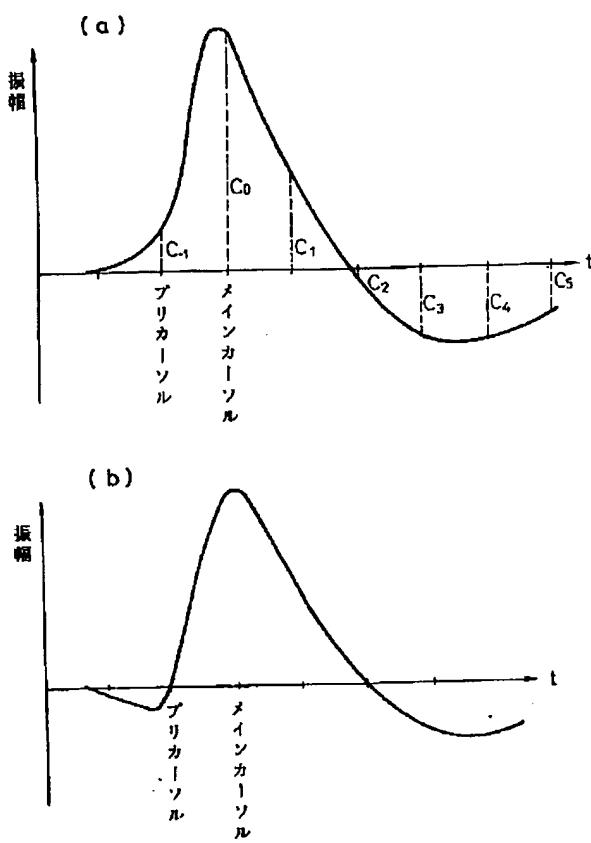
【図5】



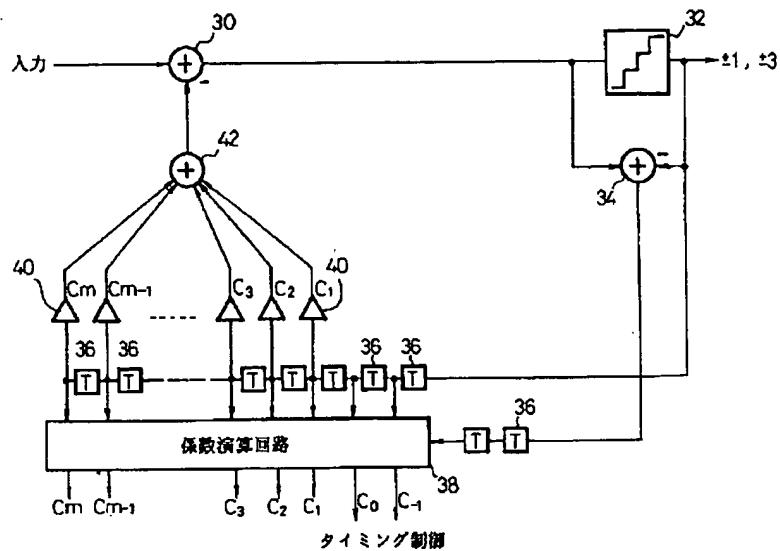
【図6】



【図8】



【図7】



フロントページの続き

(72)発明者 黒▲崎▼ 裕子

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内